

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-298598

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

G11C 29/00
G01R 31/28
G01R 31/3183

(21)Application number : 2001-099323

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 30.03.2001

(72)Inventor : OKUMURA ATSUSHI

HASEGAWA MASATOSHI

KOBAYASHI TORU

NAKAYAMA MICHIAKI

SAKAKIBARA HIDEKI

KITAMURA NOBUAKI

YOKOYAMA YUJI

MIYAOKA SHUICHI

SAWAMOTO HIDEO

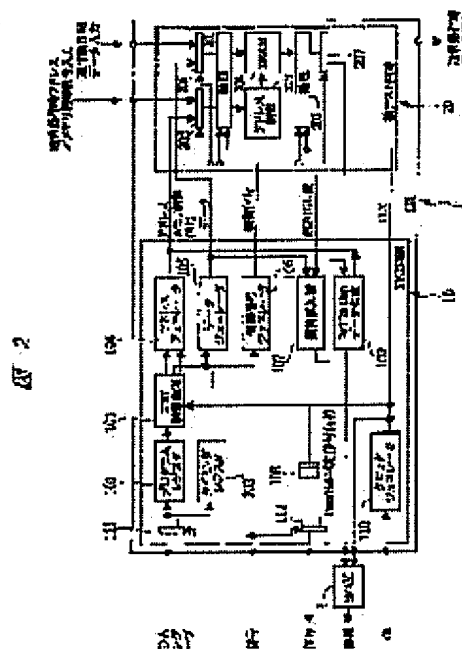
NISHIYAMA TAKASHI

KUME SHOJI

(54) SEMICONDUCTOR DEVICE, AND TEST METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide test technology of a semiconductor device which can output redundancy relieving information to a high speed SRAM in the outside of a LSI at high speed, and can read out redundancy relieving information stored in the SRAM at low speed with a low speed tester after finish of the test. SOLUTION: A test device of a semiconductor device is constituted of a LSI 1 including a BIST circuit and a circuit to be tested, a tester for testing a circuit to be tested of the LSI 1, a SRAM 3 for holding a test result of the circuit to be tested of the LSI 1, or the like. The



device is provided with a pass/fail discrimination signal holding circuit 108 holding a pass/fail discrimination signal inside the BIST circuit 10, and a fail bit map data generating circuit 109 outputting fail bit map information at high speed. The device outputs fail bit map information of a DRAM 204 at high speed to the high speed SRAM 3 of the outside of the LSI 1, and reads out fail bit map information of this SRAM 3 with a low speed tester after finish of a test.

(2)

特開2002-

1

2

【特許請求の範囲】

【請求項1】 メモリ回路と、
前記メモリ回路のテスト結果であるパス／フェイル判定
の情報と、フェイルアドレス情報とを出力するための回
路とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記メモリ回路をテストするテスト制御信号のタイミ
ングを設定するためのレジスタをさらに有することを特徴
とする半導体装置。

【請求項3】 メモリ回路と、このメモリ回路をテスト
するためのBIST回路とを含み、このBIST回路
は、

前記メモリ回路のテストプログラムを記憶するための第
1レジスタと、

前記メモリ回路のテスト制御信号のタイミ
ングを設定す
るための第2レジスタと、

前記第1レジスタに記憶されたテストプログラムおよび
前記第2レジスタに記憶されたテスト制御信号のタイミ
ングで前記メモリ回路をテストし、パス／フェイル判定
情報とフェイルアドレス情報とを出力するための回路と
を有することを特徴とする半導体装置。

【請求項4】 メモリ回路と、このメモリ回路の入力／
出力に接続された論理回路と、前記メモリ回路および前
記論理回路をテストするためのBIST回路とを含み、
このBIST回路は、

前記メモリ回路および前記論理回路のテストプログラム
を記憶するための第1レジスタと、

前記メモリ回路および前記論理回路のテスト制御信号の
タイミ
ングを設定するための第2レジスタと、

前記第1レジスタの出力に基づいて制御動作を行う制御
回路と、

前記制御回路により前記論理回路を活性状態にしたとき
は前記第1レジスタに記憶されたテストプログラムおよ
び前記第2レジスタに記憶されたテスト制御信号のタイ
ミングで前記論理回路と前記メモリ回路が接続された通
信動作状態をテストし、前記論理回路を非活性状態にし
たときは前記第1レジスタに記憶されたテストプログラ
ムおよび前記第2レジスタに記憶されたテスト制御信号
のタイミングで前記メモリ回路のみを直接テストし、パ
ス／フェイル判定情報およびフェイルアドレス情報を出

アドレス情報を取得するためのテストと、
前記メモリ回路のフェイルアドレス情報
の回路から前記メモリ装置に出力して、
前記メモリ回路のフェイルアドレス情報
前記メモリ装置に書き込まれた前記メモ
ルアドレス情報を前記テストに読み出し
て前記メモリ回路のフェイルアドレス情報
とを特徴とする半導体装置のテスト方法。

【請求項6】 メモリ回路、およびこの
フェイルアドレス情報を出力するための回
路と、

前記半導体装置の外部に接続され、前記
ス情報を出力するための回路から出力さ
回路のフェイルアドレス情報を保持する
メモリ装置と、

前記複数のメモリ装置に保持された前記
フェイルアドレス情報を取得するためのテ
前記メモリ回路をテストした結果である
ス情報を出力するための回路から前記複
に出力して、前記メモリ装置のそれぞれ
のフェイルアドレス情報を書き込み、
前記メモリ装置のそれぞれに書き込まれ
のフェイルアドレス情報を前記テスト
し、前記テストにて前記メモリ回路のフ
情報を取得することを特徴とする半導体
法。

【請求項7】 請求項6記載の半導体装
において、

前記メモリ装置のそれぞれに前記メモリ
アドレス情報の書き込みを行う際に、前
らクロックを前記メモリ装置のそれぞれ
を特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半
ト技術に関し、特に内部にメモリ回路と
uilt in Self Test)回
BIST回路を用いて高速化が進むメモ
を行う場合に好適な半導体装置、および
テスト方法に適用して有効な技術に関する。

(3)

特開2002-

3

4

【0003】

【発明が解決しようとする課題】本発明者は、半導体装置のテスト技術について検討した結果、以下のようなことを明らかとした。たとえば、前記両公報の技術はいずれも、テストパターンの生成、テスト命令の順序付けは可能となるものの、高速化が進むDRAMのテストを行おうとする場合に生ずる課題、すなわち高速化対応の外部テストを必要とする課題や、高速なテスト結果の出力の処理の課題などに応えることが難しいものとなっている。これらの課題に対する対策がDRAMの高速化が進むにつれて求められている。

【0004】すなわち、近年のように、DRAMの高速化が進んでくると、それに応じて高速テストが必要となってくる。しかしながら、DRAMの設計、製造の早さとの関係から望むべき高速テストが得られない可能性も生ずる。望むべき高速テストを得ることが可能であったとしても、高速テストは、中速テストのような通常のテストに比べ、たとえば数十倍もの高価格となってしまう可能性を持つ。その結果、望むべきテストができなかったり、DRAMのテストコストが非常に大きなものとなってしまう可能性が生ずる。このような背景から、DRAMにおいても、テストコスト削減のため、安価な低速テストで高速テストを可能とするLSI内蔵のBIST回路でテストを行う必要が生じている。

【0005】そこで、たとえば、外部クロックを内部で返信することによって、テストの限界周波数以上の周波数でテスト動作するようなBIST回路技術が考慮される。この技術によれば、LSIにおけるメモリ回路を高速にテストすることができるとされる。しかし、この場合には、LSIの動作周波数の方が外部テストの周波数よりも高いため、テスト結果をLSIから直接読み出すことができない。そこでさらに、テストのバス/フェイルの情報などはLSI内の保持回路やメモリ回路に一時記憶させ、テスト終了後に低速のテストで読み出す方式が考慮される。LSIが冗長救済回路を持つ場合、それに応じて冗長救済情報を取得する必要がある。しかし、冗長救済情報はバス/フェイル情報とは異なり、データ量が著しく大きい。そのため、冗長救済情報をLSI内に記憶させることは適当でない。

【0006】そこで、本発明の1つの目的は、冗長救済

なるであろう。

【0010】

【課題を解決するための手段】本願における発明のうち、代表的なものの概要を簡単に次のとおりである。

【0011】本発明は、前記目的を達成するバス/フェイルの情報を低速で出力するために、フェイルアドレスの冗長救済情報を1つの回路を設ける、②LSIとテストRAMを設ける、③BIST回路内にメタタイミングを設定するレジスタを設ける、④回路内に論理回路の活性/非活性を制御するようにしたもののである。

【0012】すなわち、本発明による半導体回路と、このメモリ回路をテストし、および選別テスト結果を出力するための回路とを特徴とするものである。特に、テストに高速で出力されるフェイルアドレスのテスト結果は比較的に低速で出力されるバスの情報とし、さらにメモリ回路をテスト信号のタイミングを設定するための回路としたものである。

【0013】また、本発明による他の半導体回路と、このメモリ回路をテストする回路とを含み、このBIST回路が、テストプログラムを記憶するための第1レジスタ制御信号のタイミングを設定するためと、各レジスタに記憶されたテストプログラム制御信号のタイミングでメモリ回路のテスト結果および選別テスト結果を出力することを特徴とするものである。

【0014】また、本発明によるさらに他の半導体回路と、このメモリ回路の入力された論理回路と、メモリ回路および論理回路のためのBIST回路とを含み、このメモリ回路および論理回路のテストのために第1レジスタと、テストタイミングを設定するための第2レジスタと、活性/非活性を制御するための制御回路と、より論理回路を活性状態にしたときは高

(4)

特開2002-

5

5

続され、出力されたメモリ回路のテスト結果を保持するためのメモリ装置と、このメモリ装置に保持されたテスト結果を判定するためのテストとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路からメモリ装置に出力して、メモリ装置にメモリ回路のテスト結果を比較的に高速で書き込み、このメモリ装置に書き込まれたメモリ回路のテスト結果をテストにより比較的に低速で読み出し、このテストにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、テスト結果は比較的に高速で出力されるフェイルアドレスの情報とするものである。

【0016】また、本発明による他の半導体装置のテスト方法は、メモリ回路およびこのテスト結果を出力するための回路を含む半導体装置と、この半導体装置の外部に接続され、出力されたメモリ回路のテスト結果を保持するための複数のメモリ装置と、この複数のメモリ装置に保持されたテスト結果を判定するためのテストとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路から複数のメモリ装置に出力して、メモリ装置のそれぞれにメモリ回路のテスト結果を比較的に高速でインターリーブ方式により書き込み、このメモリ装置のそれぞれに書き込まれたメモリ回路のテスト結果をテストにより比較的に低速でインターリーブ方式により読み出し、このテストにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、メモリ回路のテスト結果をインターリーブ方式により書き込みを行う際に、半導体装置から比較的に高周波なインターリーブ用のクロックをメモリ装置のそれぞれに供給するものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】まず、図1により、本実施の形態の半導体装置のテスト装置の概略構成の一例を説明する。図1は本実施の形態の半導体装置のテスト装置を示す概略構成図である。

【0019】本実施の形態の半導体装置のテスト装置は、たとえば内部にメモリ回路とBIST回路を有する

ッサ（図示せず）などからアドレス／メ
データが入力され、またデータが出力可
る。また、LSI1には、BIST回路
テスト時に、外部のテスト2から外部ク
BISTプログラム／タイミング、プロ
ブ、BIST活性化信号が入力され、テ
パス（Pass）／フェイル（Fail
力され、またSRAM3に対してシステ
K、フェイルビットマップ（Fail
p）情報が出力可能となっている。テス
れた、比較的に低い周波数による外部ク
BISTプログラム／タイミング、プロ
ブ、BIST活性化信号はBIST回路
れ、このBIST回路10において、比
数によるシステムクロックCLK、アド
御信号、データ、制御信号が生成されて
0に印加される。また、被テスト回路2
し値が出力され、BIST回路10に入
BIST回路10、被テスト回路20に
図2において後述する。

【0021】テスト2は、LSI1の被
をテストするための外部クロックclk、
グラム／タイミング、プログラムストロ
活性化信号を供給するとともに、選別テ
／フェイル判定信号を直接取得し、また
してテスト結果のフェイルビットマップ
ためのテスト装置である。たとえば、限
的に低い動作周波数による低速テスト2
のテスト2から与える低い動作周波数の
clkが、LSI1の内部のクロックジェ
され、これが比較的に高い周波数で動作
システムクロックCLKとして使用され
ト結果について、選別テスト結果のパス
信号はBIST回路10の内部に保持さ
出され、SRAM3に保持されたフェイ
情報はテスト終了後に低速で読み出され
【0022】SRAM3は、LSI1に
1とテスト2の間に設けられ、LSI1
10から出力されるシステムクロックC
比較的に高速で出力されるテスト結果の

(5)

特開2002-

7

8

【0023】次に、図2により、LSIを構成するBIST回路、被テスト回路の構成の一例を説明する。図2はBIST回路、被テスト回路を詳細に示す構成図である。

【0024】BIST回路10は、たとえばプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスジェネレータ104、データジェネレータ105、制御信号ジェネレータ106、期待値比較回路107、パス/フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックジェネレータ110や、複数のセクタ111、112などからなり、それぞれ以下のような機能を有する。なお、セクタ111、112は、外部から入力されるBIST活性化信号により制御される。

【0025】プログラムレジスタ101は、テスト2からセクタ111を介して入力されるBISTプログラムを記憶するための回路である。このプログラムレジスタ111のBISTプログラムに従って、LSI1の被テスト回路20のテストが行われる。また、このBISTプログラムは、プログラムストローブにより入力が許可される。

【0026】タイミングレジスタ102は、テスト2からセクタ111を介して入力されるBISTタイミングを記憶するための回路である。このタイミングレジスタ112のBISTタイミングで、LSI1の被テスト回路20にテスト制御信号が入力される。

【0027】BIST制御論理回路103は、プログラムレジスタ101からのBISTプログラムに基づいて、アドレス/メモリ制御信号、データ、制御信号などを発生させるためのBIST動作を制御するための論理回路である。

【0028】アドレスジェネレータ104は、BIST制御論理回路103のBIST動作による情報、タイミングレジスタ102からの情報に基づいて、アドレス/メモリ制御信号を発生するための回路である。このアドレスにはロウアドレス、カラムアドレスが含まれ、またメモリ制御信号には、ロウアドレスストローブ、カラムアドレスストローブ、ライトイネーブルなどの制御信号が含まれる。

【0029】データジェネレータ105は、BIST制

【0031】期待値比較回路107は、i0から出力されるテスト結果の読み出しジェネレータ105から発生されたテストデータの期待値とを比較するための回路。期待値比較回路107による比較結果は、判定信号保持回路108に出力されるとルビットマップデータ生成回路109に

【0032】パス/フェイル判定信号保持回路108は、期待値比較回路107からの比較結果を保持するための回路である。この回路は、セクタ112を介してテスト2に1つのパス/フェイル判定信号として使用。パス/フェイル判定信号保持回路108に一度でもフェイルすると、このフェイルする。

【0033】フェイルビットマップ(Fail Map)データ生成回路109は、期待値比較回路107からの比較結果と、アドレスジェネレータ104から発生されたアドレスに基づいて、フェイルビットマップデータを生成し、このフェイルビットマップデータをLSI1の外部のSRAM3に出力する。このSRAM3に出力されたフェイルビットマップデータは、パス/フェイルの判定値、テスト結果を含む冗長救済情報となる。

【0034】クロックジェネレータ110は、クロックclkを入力とし、この外部クロックの倍率に追従し、LSI1の各内部回路システムクロックCLKを発生するためのクロックジェネレータ110で発生し、システムクロックCLKを使用することにより、テスト上の高速テストが可能となる。たとえば、10MHz程度の外部クロックclkを10MHz程度のシステムクロックCLKで、周波数比が40MHz程度の比較で動作するテスト2でも、640MHz程度の高い周波数で動作するLSI1の高速テストが可能となっている。

【0035】被テスト回路20は、たと

部に出力されて、DRAM134に対するデータの書き込み／読み出しが行われる。また、この論理回路201、202は、BIST回路10のクロックジェネレータ110から発生されるシステムクロックCLKに同期して動作し、制御信号により制御される。特に、テスト時には、制御信号により論理回路201、202の活性／非活性が切り替えられ、論理回路201、202とDRAM204、またはDRAM204のみのテストが行われる。これについての詳細は図6において後述する。

【0037】アドレス制御回路203は、入力側の論理回路201からの情報に基づいて、DRAM204に対するデータの書き込み／読み出しを行う際のアドレス／メモリ制御信号を発生するための回路である。このアドレス制御回路203からのアドレス／メモリ制御信号により、DRAM204に対するアクセスが制御される。

【0038】DRAM124は、通常動作時にデータの書き込み／読み出しが行われるとともに、BIST回路12を使用したテスト時にテストの対象となるメモリ回路である。このDRAM124の構成については図3において後述する。

【0039】セクタ205～207は、BIST回路10の制御信号ジェネレータ106から発生される制御信号により制御され、論理回路201、202による通常動作、またはLSI1の内部のBIST回路10を使用したテストの入力／出力を切り替えるための回路である。通常動作時とテスト時に、セクタ205によりアドレス／メモリ制御信号入力が切り替えられ、セクタ206によりデータ入力が切り替えられてデータが印加され、またセクタ207によりデータ出力が切り替えられてデータが出力される。

【0040】次に、図3により、被テスト回路を構成するDRAMの構成の一例を説明する。図3はDRAMを詳細に示す構成図である。

【0041】DRAM204は、複数のメモリセルからなるメモリマット2041と、このメモリマット2041の行方向のアドレスを指定するためのロウデコーダ2042と、列方向のアドレスを指定するためのカラムデコーダ2043と、書き込み値の入力／読み出し値の出力を行うためのメインアンプ2044などから構成されている。ロウデコーダ2042には、ロウアドレスRn

Addressにより行方向を指定し、コード2043に入力されたカラムアドレスにより列方向を指定しセルを選択する。そして、書き込み値メインアンプ2044に入力されるライエの制御信号を活性化し、メインアンプ2044を入力して選択されたメモリセルのデータをメインアンプ2044から読み出し、読み出し値Output Dataとして、【0043】以上のように構成される半導体装置、さらにLSI1のBIST回路20の構成、被テスト回路20のD構成において、通常動作時は、LSI1に示される図示しないプロセッサなどの制御に、回路20のセクタ205、論理回路203を介してアドレス／メモリ制御回路203に供給する。そして、書き込みのデータをDRAM204の各メモリセルに書き込み、また読み出しの際にはDRAM204の読み出し値を論理回路202、セクタ207を介して、このようにして、通常動作におけるデータの書き込み／読み出しをする。

【0044】また、LSI1の内部のBIST回路20を使用したテスト時には、テスト2から外部クロックclk、BISTプログラミング、プログラムストロブ、BIST開始、BIST回路10のプログラムレタイミングレジスタ102、BIST制御3、アドレスジェネレータ104、データ105、制御信号ジェネレータ106を介して、制御信号により被テスト回路20のセクタ205、論理回路201、202を制御し、5、論理回路201、アドレス制御回路203を介してアドレス／メモリ制御信号をDRAM204に供給する。そして、書き込みの際にはセクタ205を介してデータをDRAM20

11

でテストを行うことも可能である。詳細については以下において後述する。

【0045】次に、図4、図5により、本実施の形態の半導体装置のテスト装置において、LSIからSRAMにフェイルビットマップ情報をインターリーブ方式により取得する場合の構成の一例を説明する。図4はフェイルビットマップ情報をインターリーブ方式により取得する場合を説明するための構成図、図5はインターリーブ方式を詳細に説明するための構成図である。

【0046】図4に示すように、LSI1からSRAM3にフェイルビットマップ情報をインターリーブ方式により取得する場合には、前述したBIST回路10と被テスト回路20を含むLSI1、テスト2、SRAM3などの構成において、SRAM3がLSI1の動作周波数（640MHz）とテスト2の動作周波数（40MHz）の違いに対応して1個のLSI1に対して16個（ $640/40=16$ ）のSRAM（0）～SRAM（15）が並列に接続され、さらにLSI1と複数のSRAM3との間にインターリーブ用LSI4が設けられ、また複数のSRAM3とテスト2との間に演算器5

【0047】インターリーブ用LSI4は、LSI1のBIST回路10から高速で出力されるフェイルビットマップ（FBM）情報をインターリーブ方式により16個のSRAM3に振り分けるためのLSIであり、BIST回路10からフェイルビットマップ情報とシステムクロックCLKが入力される。詳細には、図5に示すように、1個のSRAM3に対して、パス（Pass）／フェイル（Fail）判定信号の保持回路401、402とORゲート403、フェイルアドレス（Fail Address）の保持回路404とセレクト405、ライトイネーブルWE-N（WE-NはWEの反転信号）のセレクト406、出力イネーブルOE-N（OE-NはOEの反転信号）のセレクト407などが設けられている。クロックCLK0～CLK2はLSI1から出力されるシステムクロックCLKを使って生成され、クロックCLK0はSRAM1に供給され、またクロックCLK2に同期して保持回路401、404が動作し、クロックCLK1に同期して保持回路402が動作する。ライトイネーブルWE-N、出力イネーブルOE

(7)

特開2002-

12

されているSRAM3からの読み出し値SRAM3に対してデータとして書き込路401、402にリセット入力がある。データを初期化する。フェイルアドレスは、1で保持され、セレクト405を介してSとしてアドレスとして供給される。ライトイネーブルはセレクト406を介し、出力イネーブルセレクト407を介して、それぞれSRAM3に供給される。また、セレクト405～407から制御する場合には、アドレス、ライトイネーブル、出力イネーブルOE-Nをテストすることも可能となっている。このフェイル情報を取得する動作は図11～図15になる。

【0049】演算器5は、各SRAM3のデータを入力とし、16個のSRAM3のフェイルビットマップ情報をパラレルに取り込み、テスト2による読み出し時に、テスト回路20のテスト結果としてテスト力するための回路である。

【0050】次に、図6により、LSI4で、論理回路を活性／非活性状態に制御の一例を説明する。図6は論理回路を活性に制御する場合を説明するための構成図。

【0051】LSI1のテストにおいて、20の論理回路201、202を活性／非活性に制御する場合は、論理回路201、202の動作状態、またはDRAM204の切り替えてテストを行うことができる。回路201、202を活性状態にした場合、回路201、202とDRAM204が接続状態においてLSI1の機能テストが可能。論理回路201、202を非活性状態にすれば、論理回路201、202がスルーとなり、204にのみ直接的なDRAMテストが可能。

【0052】次に、図7により、テストの概略手順の一例を説明する。図7はテストの概略手順を説明するためのフロー

【0053】テストは、たとえば一例として読み出し、マーキング、チェッカー

(8)

特開2002-

13

14

る。書き込み/読み出し、マーチング、チェッカー、ディスタートブーリフレッシュの他に、ギャロッピング、ピンポン、ウォーキング、バタフライなどもある。

【0054】(1) テストの開始に先だって、LSI 1の内部のテストプログラムを記憶するプログラムレジスタ101のリセットを行う(ステップS101)。

【0055】(2) 書き込み/読み出しのテストパターンでテストを実行する。この書き込み/読み出しでは、まずテスト2からプログラムを入力し、その後、書き込み/読み出しテストを実行する(ステップS102、S103)。この書き込み/読み出しテストでは、DRAM204を初期化した後、アドレスをインクリメントしながら“0”書き込み(write)/“0”読み出し(read)、さらに“1”書き込み/“1”読み出しを行い、続いてアドレスをデクリメントしながら“0”書き込み/“0”読み出し、さらに“1”書き込み/“1”読み出しを行い、終了となる。そして、書き込み/読み出しテストを終了した後、テスト結果を読み出してパス(Pass)/フェイル(Fail)判定を行う(ステップS104)。この判定の結果、パスの場合(ステップS105)は次のテストに進み、フェイルの場合は、フェイル(Fail)値、フェイルビットマップ(Fail Bit Map)を取得し、テスト終了となる(ステップS106~S108)。

【0056】(3) チェッカーのテストパターンでテストを実行する。このチェッカーでは、まずプログラムレジスタ101を初期化した後に、テスト2からプログラムを入力し、その後、DRAM204のチェッカーテストを実行する(ステップS109~S111)。そして、チェッカーテストを終了した後、テスト結果を読み出してパス/フェイル判定を行う(ステップS112)。この判定の結果、パスの場合(ステップS113)は次のテストに進み、フェイルの場合は、フェイル値、フェイルビットマップを取得し、テスト終了となる(ステップS114~S116)。

【0057】(4) ディスタートブーリフレッシュのテストパターンでテストを実行する。このディスタートブーリフレッシュでは、まずプログラムレジスタ101を初期化した後に、テスト2からプログラムを入力し、その後、DRAM204のディスタートブーリフレッシュテ

ストを実行する場合を説明するためのタイミング図では、前述したマーチングテストを実行したパターンを生成する場合を例に示す。

【0059】テストパターンは、前述したLSI 10のプログラムレジスタ101で指定値、期待値およびアドレスと、タイミング2で指定するタイミングをマージして生成される。例えば、書き込み値は16ビット、期待値アドレスは18ビットで指定され、0~1023におけるDATA(0)~DATA(1023)の論理に基づいて、ロウアドレスストロブ(RAS-NはRASの反転信号)、カトローブCAS-N(CAS-NはCA号)、ライトイネーブルWE-N(WE反転信号)などのタイミングが生成される。図9においては、最初にアドレスインクリメントを行い、“0”書き込み/“0”読み出し、“1”書き込み/“1”読み出しを行い、続いてアドレスインクリメントによる“0”書き込み/“0”読み出し、“1”書き込み/“1”読み出しが行われる。

【0060】次に、図9、図10により、パス/フェイルのみの判定を行う場合の手順を示す。図9はテストのパス/フェイルのみの判定の手順を説明するためのフロー図、タイミング図である。

【0061】(11) LSI 1の外部のクロックc1kに対して外部クロックc1kを入力し、クロックc1kを適宜倍速してシステムクロックCLKに同期し、このシステムクロックCLKに同期してテストを実行する(ステップS201)。さらにLSI 1に対してBIST活性化信号、BIST活性化信号によってBIST動作を開始(ステップS202)。そして、BISTタイミング、プログラムストロブを入力し、テストパターンを生成してテストを行う(ステップS203)。ここで、LSI 1の外部のテストパターンを生成してLSI 1の内部の動作に移行する。

【0062】(12) LSI 1の内部の動作において、BISTプログラム/タイ

(9)

特開2002-

15

動作状態における機能テストや、非活性状態にしたDRAM204のみのDRAMテストを行う(ステップS206)。

【0063】(13)アドレスジェネレータ104からロウアドレスRow Address、カラムアドレスColumn Addressのアドレス、ロウアドレスストロブRAS、カラムアドレスストロブCAS、ライトイネーブルWEのメモリ制御信号、データジェネレータ105から書き込み値WDをそれぞれ発生し、被テスト回路20のDRAM204にデータを書き込む(ステップS207)。さらに、アドレス/メモリ制御信号を発生し、DRAM204のデータを読み出し値Output Dataとして読み出す(ステップS208)。そして、期待値比較回路107において、読み出し値を書き込み値の期待値と比較する(ステップS209)。この比較の結果、一致したときのパス(Pass)、一致しないときのフェイル(Fail)のパス/フェイル判定信号を、パス/フェイル判定信号保持回路108に保持する(ステップS210)。このパス/フェイル判定信号は、一度フェイルしたときにロックされるモードを使用する。これを、アドレスをインクリメントまたはデクリメントしながら繰り返す。そして、全てのアドレスについて実行したらテストプログラムが終了する(ステップS211)。ここで、LSI1の外部の動作に移行する。

【0064】(14)テスト2で、LSI1のパス/フェイル判定信号保持回路108に保持されたパス/フェイル判定信号を読み出す(ステップS212)。これにより、パス/フェイルのみの判定を行う場合のテストが終了する(ステップS213)。

【0065】次に、図11、図12により、テストのフェイルビットマップ情報を出力する場合の手順の一例を説明する。図11はテストのフェイルビットマップ情報を出力する場合の手順を説明するためのフロー図、図12はそのタイミング図である。

【0066】テストのフェイルビットマップ情報を出力する場合の手順は、前述したテストのパス/フェイルのみの判定を行う場合の手順と、ステップS301～S309については同じなので説明を省略し、ステップ310からの手順を説明する。

16

は、パス(Pass)/フェイル(Fail)判定信号、ロウアドレスRow Address、カラムアドレスColumn Address、Data[13] Pass/Fail判定結果情報である。

【0068】(22)LSI1の内部に：プログラムが終了すると(ステップS311)の外部の動作に移行する。そして、テスト2に保持されたフェイルビットマップ情報を出力する場合のテストが終了する(ステップS314)。

【0069】次に、図13、図14、図15でフェイルビットマップ情報を取得する一例を説明する。図13はテスト2でフェイルビットマップ情報を取得する場合の手順を説明する。図14、図15はそのタイミング図。

【0070】テスト2でフェイルビットマップ情報を取得する場合は、SRAM3への書き込み、読み出し、SRAM3の初期化を行う(ステップS401)。次に、SRAM3への書き込み、読み出し、SRAM3の初期化を行う(ステップS402)。すなわち、各SRAM(0)～(15)を入力し、最初に、次に同じアドレス(0)～(15)のData[0]～[15]パス(Pass)/フェイル判定信号の論理値を書き込み、クロックCLK0～CLK2に同期させ、ライトイネーブルWE(15)、出力イネーブルOE-N(0)印加して制御する。

【0072】(32)SRAM3からの読み出しは、SRAM3へのアドレス、ライトイネーブルOE-Nの入力を切り替える(ステップS403)。そして、タイミングに従い、16個のSRAM3の読

(10)

特開2002-

17

18

方式により、各SRAM3に“0”の書き込みを行う（ステップS406）。すなわち、各SRAM（0）〜（15）にアドレスを入力し、リセット入力に“0”を書き込む。このとき、クロックCLK0に同期させ、ライトイネーブルWE-N、出力イネーブルOE-Nを印加して制御する。

【0074】以上のようにして、SRAM3への書き込み、SRAM3からの読み出し、SRAM3の初期化を行うことで、テスト2でフェイルビットマップ情報を取得することができる。

【0075】従って、本実施の形態の半導体装置、この半導体装置のテスト装置、さらにテスト方法によれば、LSI1の内部のBIST回路10をプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスジェネレータ104、データジェネレータ105、制御信号ジェネレータ106、期待値比較回路107、パス/フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックジェネレータ110などから構成し、さらにLSI1とテスト2の間にSRAM3を接続した構成とすることで、以下のような効果を得ることができる。

【0076】（1）パス/フェイル判定信号を保持するためのパス/フェイル判定信号保持回路108、フェイルビットマップ情報を高速で出力するためのフェイルビットマップデータ生成回路109をBIST回路10の内部に設けることにより、LSI1の外部の高速なSRAM3に、高速で被テスト回路20のDRAM204のフェイルビットマップ情報を出力し、テスト終了後に低速なテスト2でSRAM3に蓄えておいたフェイルビットマップ情報を低速で読み出すことができる。

【0077】（2）LSI1とテスト2の間に高速なSRAM3を設けることにより、テスト実行中に、SRAM3の動作周波数の数倍の周波数で出力されるフェイルビットマップの冗長救済情報を高速でSRAM3にインターリーブ方式により書き込むことができるので、テスト終了後に低速でテスト2に読み出すことが可能となる。

【0078】（3）前記（1）、（2）により、フェイルビットマップの冗長救済情報の情報量、外部クロックclkを2倍したテスト2の駆動周波数以上の周波数で

特にマージン不良などの不良検出率を向上させることができる。

【0080】（5）前記（4）により、不良検出率が飛躍的に向上するため、BISTしたDRAM204の不良スクリーニングができる。すなわち、メモリ制御が固定された従来のBIST回路では、マージン不良が多い回路の十分なスクリーニング不可能であったが、本実施の形態のようレジスタ102を設けることでスクリーニング可能となる。

【0081】（6）BIST回路10の回路20の論理回路201、202の制御するための制御信号ジェネレータ10により、論理回路201、202を活性は論理回路201、202とDRAM204の通常動作状態をテストすることができ、201、202を非活性状態にしたとき4のみを直接テストすることができる。

【0082】以上、本発明者によってなされた実施の形態に基づき具体的に説明した実施の形態に限定されるものではなく、脱しない範囲で種々変形可能であることい

【0083】たとえば、前記実施の形態に部はDRAMを有するLSIのテストをて説明したが、本発明は、特に汎用DRAMに効果的であり、さらにSRAMメモリ回路を有する半導体装置などにも適用することができる。

【0084】

【発明の効果】本願において開示される、代表的なものによって得られる効果を簡単に以下のとおりである。

【0085】（1）パス/フェイルの情報を取得するための回路の他に、フェイルアドレス情報を高速で出力するための回路を設けるの外部の高速なSRAMに高速で冗長救済することができるので、テスト終了後にDRAMに蓄えておいた冗長救済情報を低

(11)

特開2002-

19

20

路数、テスト周波数を容易に大きくすることができるため、メモリの歩留まり、性能の向上を実現することが可能となる。

【0087】(3) BIST回路内にメモリ制御信号のタイミングを設定するレジスタを設けることで、メモリテスト時にメモリ制御信号のタイミングを自由に設定することができるので、特にマージン不良などの不良検出率が向上し、この結果、BIST回路を使用したDRAMの不良スクリーニングが可能となる。

【0088】(4) BIST回路内に論理回路の活性／非活性を制御する回路を設けることで、論理回路の活性／非活性を切り替えることができるので、論理回路を活性状態にしたときは論理回路とメモリ回路が接続された通常動作状態をテストすることができ、また論理回路を非活性状態にしたときはメモリ回路のみを直接テストすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置のテスト装置を示す概略構成図である。

【図2】本発明の一実施の形態において、LSIを構成するBIST回路、被テスト回路を詳細に示す構成図である。

【図3】本発明の一実施の形態において、被テスト回路を構成するDRAMを詳細に示す構成図である。

【図4】本発明の一実施の形態において、LSIからSRAMにフェイルビットマップ情報をインターリーブ方式により取得する場合を説明するための構成図である。

【図5】本発明の一実施の形態において、インターリーブ方式を詳細に説明するための構成図である。

【図6】本発明の一実施の形態において、論理回路を活性／非活性状態に制御する場合を説明するための構成図である。

【図7】本発明の一実施の形態において、テストを実行する場合の概略手順を説明するためのフロー図である。

【図8】本発明の一実施の形態において、テストパターンを生成する場合を説明するためのタイミング図である。

【図9】本発明の一実施の形態において、テストのパス／フェイルのみの判定を行う場合の手順を説明するためのフロー図である。

るためのフロー図である。

【図12】本発明の一実施の形態において、フェイルビットマップ情報を出力する場合のためのそのタイミング図である。

【図13】本発明の一実施の形態において、フェイルビットマップ情報を取得する場合のためのフロー図である。

【図14】本発明の一実施の形態において、フェイルビットマップ情報を取得する場合(Mへの書き込み)を説明するためのタイミング図である。

【図15】本発明の一実施の形態において、フェイルビットマップ情報を取得する場合(Mからの読み出し、SRAMの初期化)のタイミング図である。

【符号の説明】

1 LSI

10 BIST回路

101 プログラムレジスタ

102 タイミングレジスタ

103 BIST制御論理回路

104 アドレスジェネレータ

105 データジェネレータ

106 制御信号ジェネレータ

107 期待値比較回路

108 パス／フェイル判定信号保持回

109 フェイルビットマップデータ生

110 クロックジェネレータ

111, 112 セレクタ

20 被テスト回路

201, 202 論理回路

203 アドレス制御回路

204 DRAM

2041 メモリマップ

2042 ロウデコーダ

2043 カラムデコーダ

2044 メインアンプ

205～207 セレクタ

2 テスタ

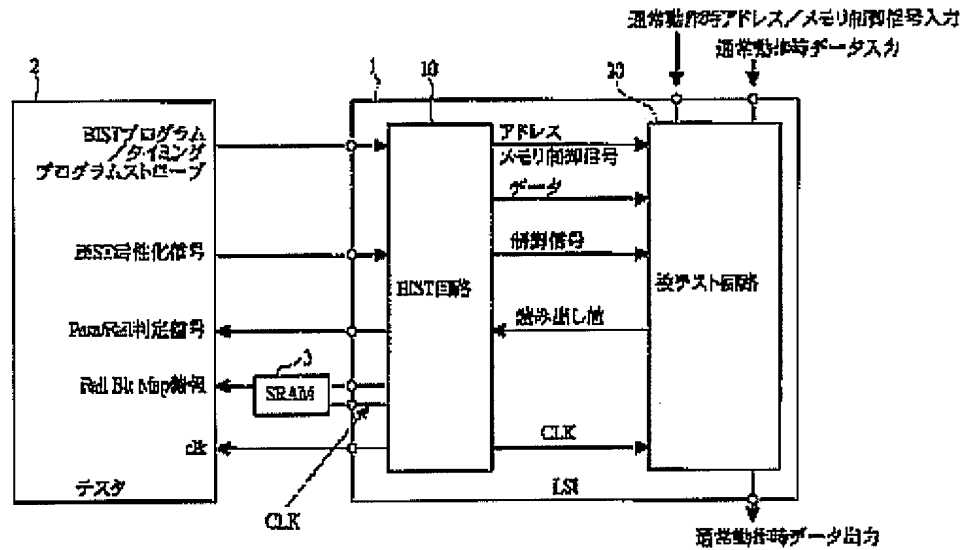
3 SRAM

(12)

特開2002-

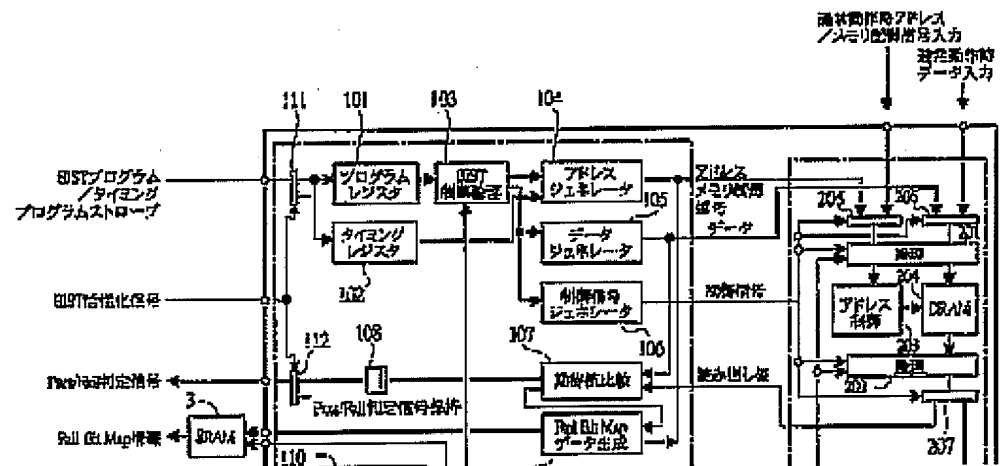
【図1】

図 1



【図2】

図 2

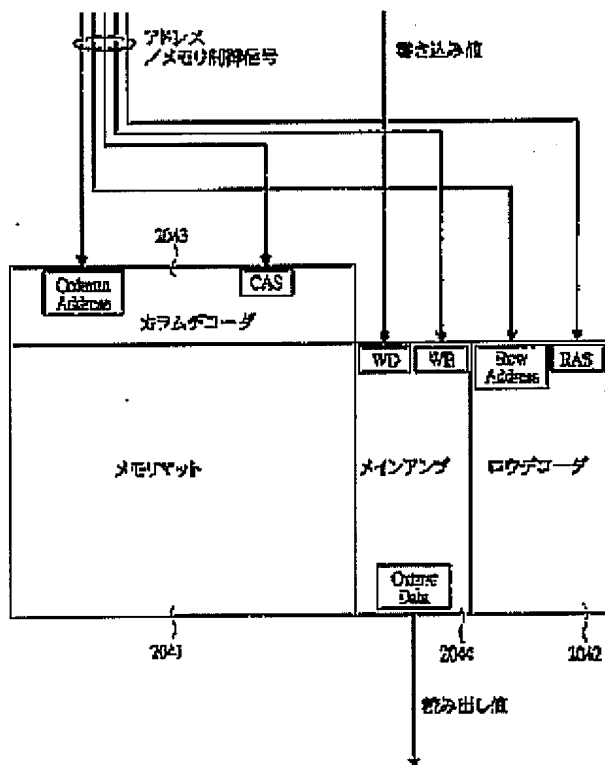


(13)

特開2002-

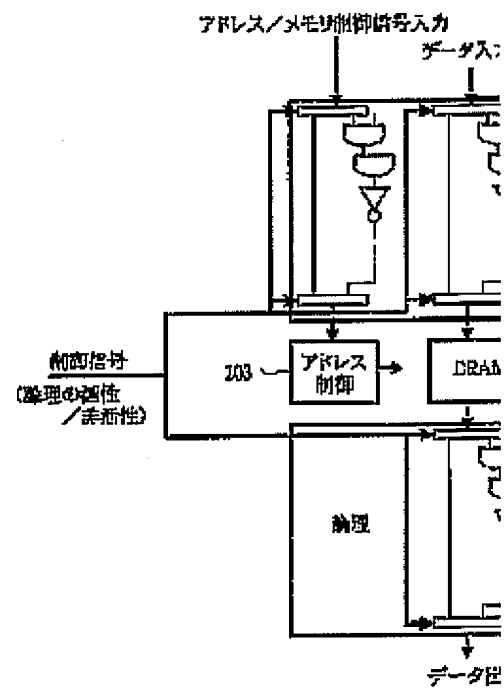
【図3】

図 3



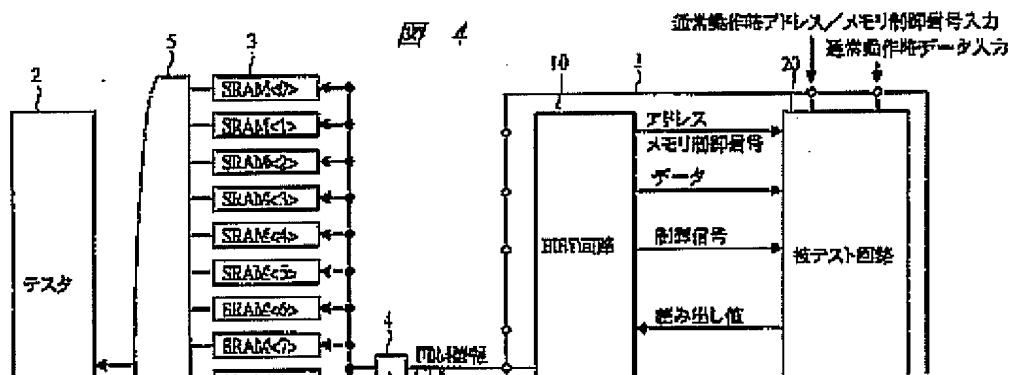
【図6】

図 6



【図4】

図 4

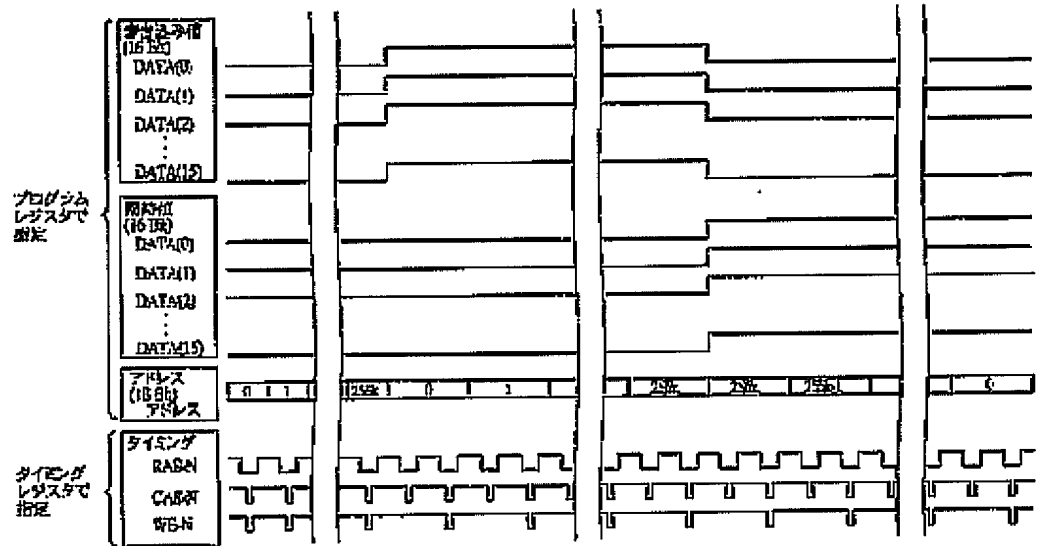


(15)

特開2002-

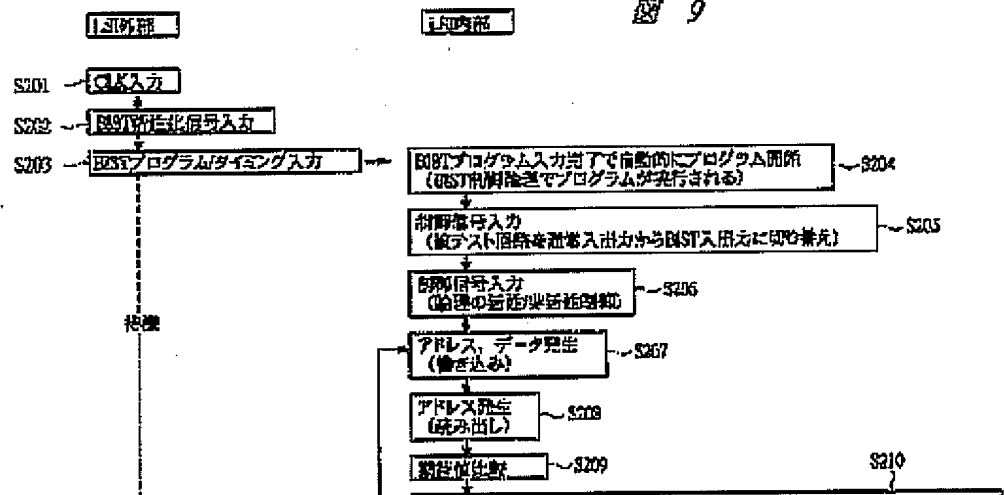
【図8】

図 8



【図9】

図 9

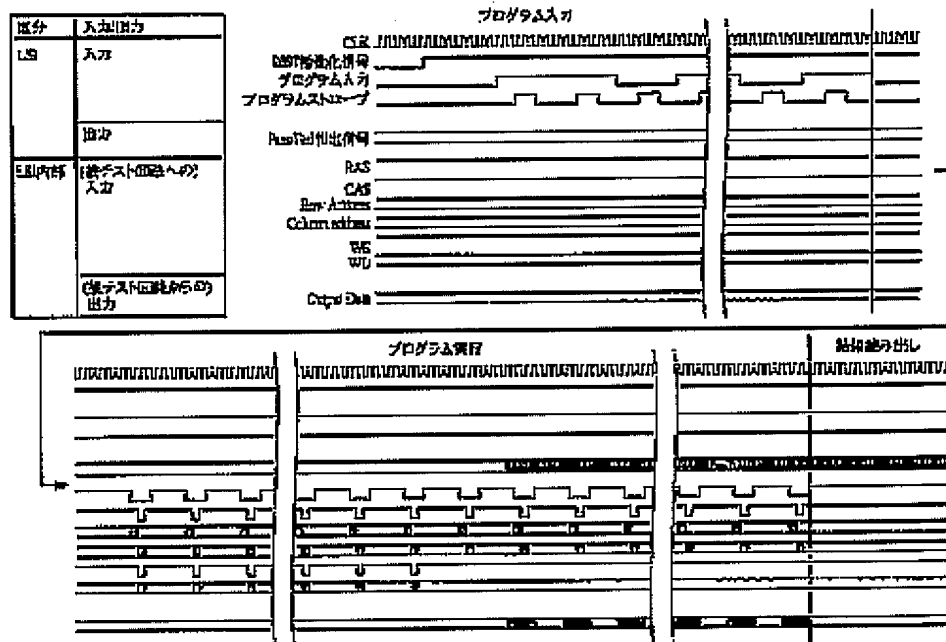


(15)

特開2002-

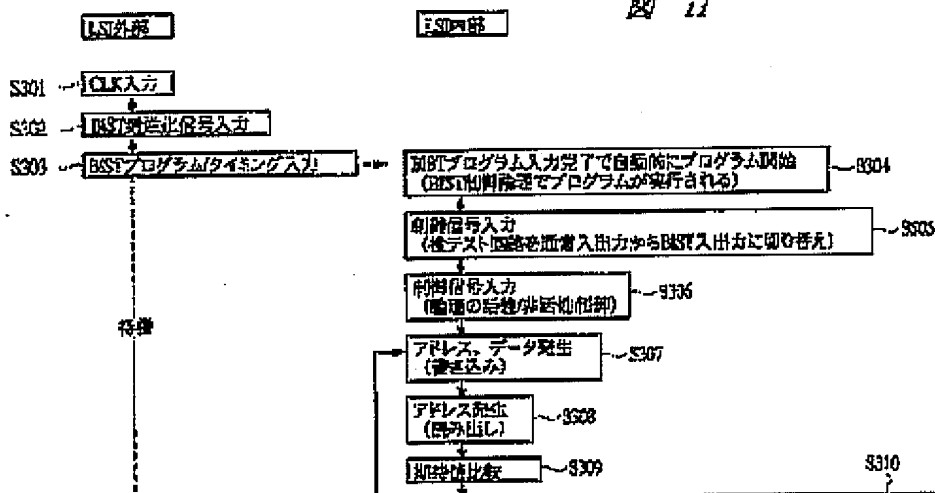
【図10】

図 10



【図11】

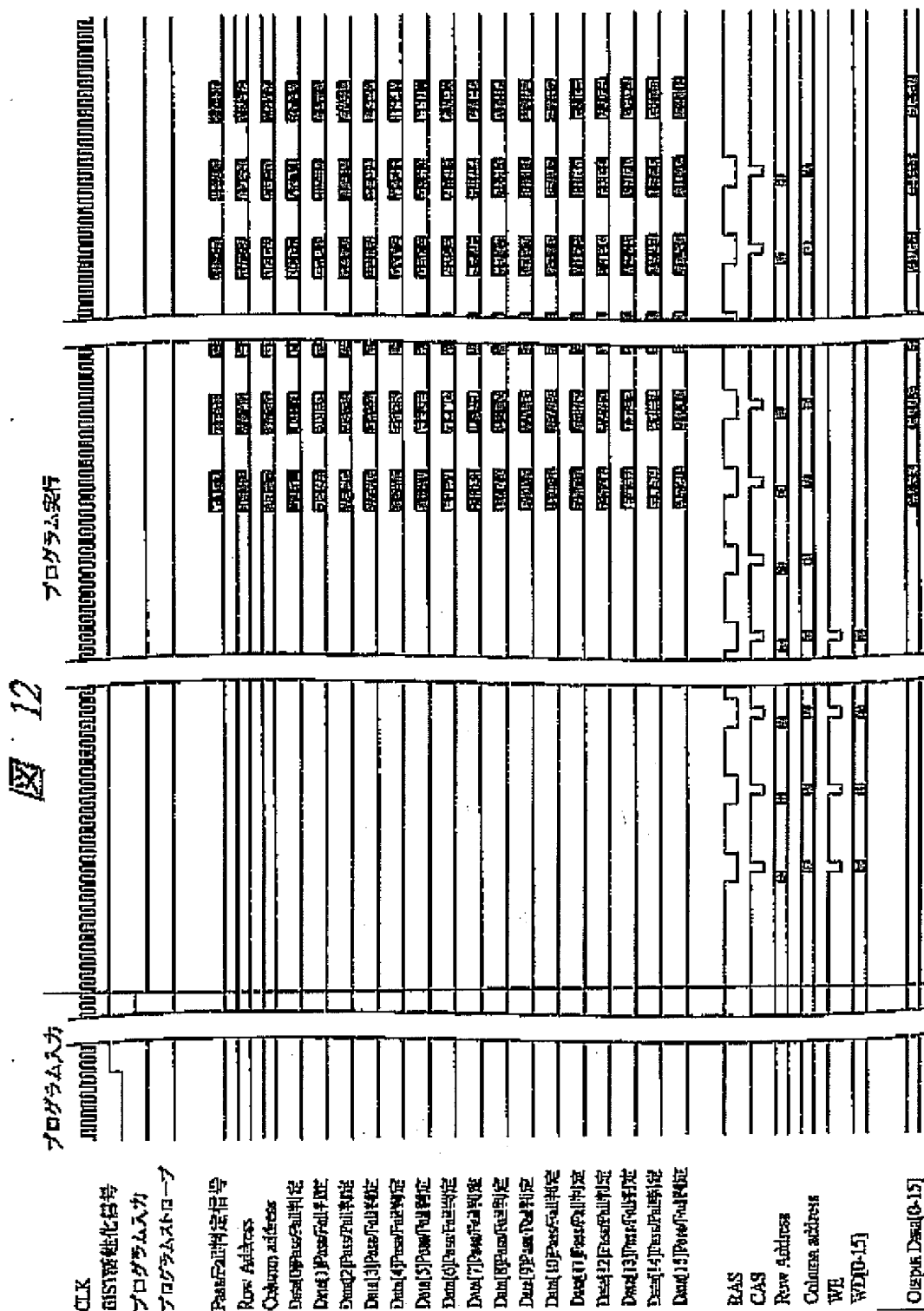
図 11



(17)

特開2002-

【図12】

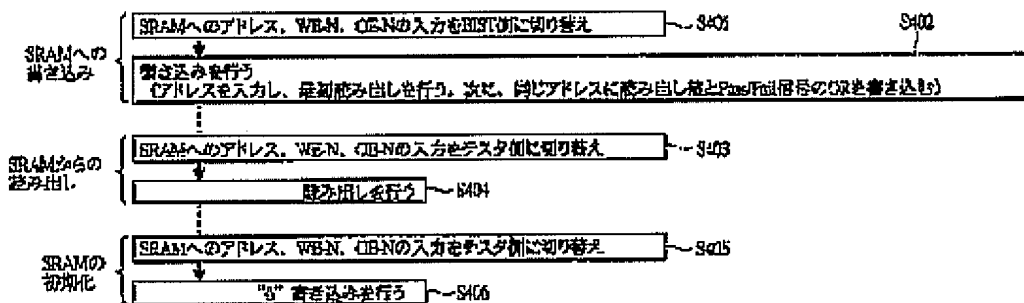


(18)

特開2002-

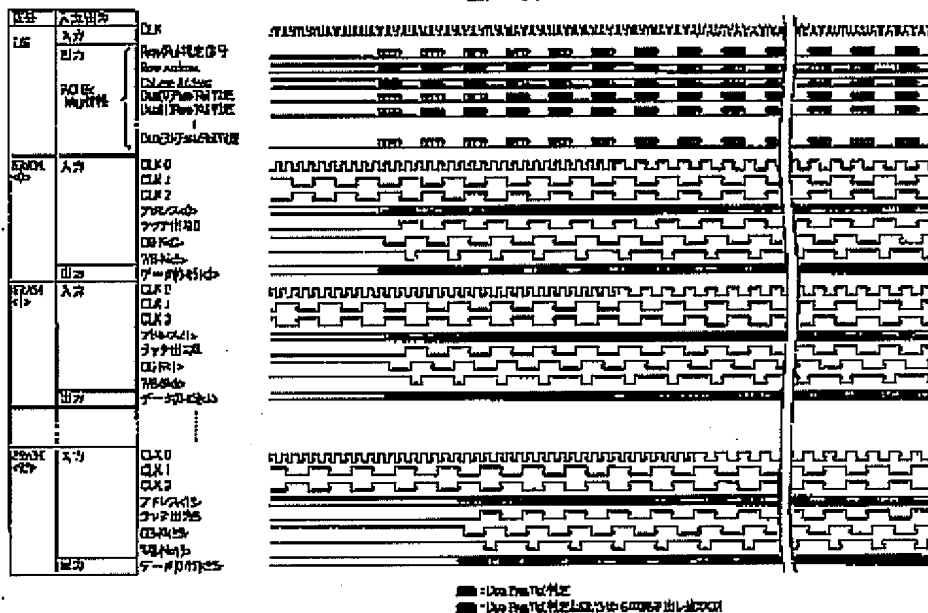
【図13】

図 13



【図14】

図 14



【図15】

図 15

動作	区分	入力/出力
----	----	-------

(19)

特開2002-

フロントページの続き

(51)Int.Cl.	識別記号	F I	i
		G 0 1 R 31/28	Q
(72)発明者	長谷川 雅俊 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内	(72)発明者	横山 勇治 東京都青梅市新町六丁目16 会社日立製作所デバイス開
(72)発明者	小林 徹 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内	(72)発明者	宮岡 修一 東京都青梅市新町六丁目16 会社日立製作所デバイス開
(72)発明者	中山 道明 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内	(72)発明者	澤本 英雄 神奈川県秦野市堀山下1 番 立製作所エンタープライズ
(72)発明者	榎原 秀樹 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内	(72)発明者	西山 隆 神奈川県秦野市堀山下1 番 立製作所エンタープライズ
(72)発明者	北村 暢章 東京都小平市上水本町5 丁目22番1 号 株 式会社日立超エル・エス・アイ・システム ス内	(72)発明者	久米 正二 神奈川県秦野市堀山下1 番 立製作所エンタープライズ
		F ターム(参考)	2G132 AA08 AB01 AB03 AK29 5L106 AA01 DD24 EE02